



第 92118329 號
初審引証附註

檢索服務 快速檢索
表格檢索 標位

中華民國專利資訊網

專利檢索與申請

專利分析專區 | 訂購專利說明書影像專區 | 會員專區 | 最

**本系統專利資料僅供參考，不作為准據依據，所有資料以經濟部智慧財產局公告為準 | 中文造字安裝程式：(約1.6M)

00239229 -- 核准公告專利公報資料

減少光罩使用之互補式金氧半場效電晶體製造方法

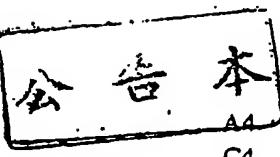
專利公告號	00239229 說明書影像 / 圖式影像 / 權利異動 / 雜項資料
卷號	22
期號	3
公告日期	1995/01/21
專利類型	發明
國際專利分類號	H01L 21/335
申請案號	0083107464
申請日期	1994/08/13
申請人	台灣茂矽電子股份有限公司；新竹市科學工業園區研發一路一號
發明人	王志賢；新竹市園後街八十四號
摘要	<p>一種互補式(COMPPLEMENTARY)金氧半場效電晶體的製造方法，可減少所使用的光罩，使製程簡化，成本降低，而且所得產品特性穩定、品質良好。本發明包括下列步驟：(a)提供一矽基板，其上至少已形成P型井區，N型井區、複數個閘極、和閘極氧化層；(b)以該複數個閘極為光罩，對於該矽基板全面性進行第一N型離子植入，其中該第一N型離子植入之植入角度與垂直該矽基板方向相距不小於20度；(c)形成側壁；(d)應用第一光罩，遮住欲形成該P通道場效電晶體之區域，進行第二N型離子植入；(e)應用第二光罩，遮住欲形成該N通道場效電晶體之部份，進行第一P型離子植入，且進行第二P型離子植入，其中該第二P型離子植入之植入角度與垂直該矽基板方向相距不小於20度。</p>
<input type="checkbox"/> 申請專利範圍	<ul style="list-style-type: none"> 1. 一種減少光罩使用的互補式金氧半場效電晶體製造方法，其可在一矽基板上形成N通道場效電晶體和P通道場效電晶體，包括下列步驟：(a)提供該矽基板，其上至少已形成P

型井區，N型井區、複數個開極、和開極氧化層；(b)以該複數個開極為光罩，對於該矽基板全面性進行第一N型離子植入，以形成第一N型離子植入區，其中該第一N型離子植入之植入角度與垂直該矽基板方向相距不小於20度，而且該第一N型離子植入區部分延伸至開極的正下方；(c)形成側壁；(d)應用第一光罩，遮住欲形成該P通道場效電晶體之區域，進行第二N型離子植入，以形成第二N型離子植入區，其中該第二N型離子植入區之濃度大於該第一N型離子植入區之濃度，而且該第一N型離子植入區延伸至N通道場效電晶體開極正下方的部分仍然存在；(e)應用第二光罩，遮住欲形成該N通道場效電晶體之部份，進行第一P型離子植入，以形成第一P型離子植入區，且進行第二P型離子植入，以形成第二P型離子植入區；其中該第二P型離子植入的植入角度與垂直該矽基板方向相距不小於20度；而且該第一P型離子植入區的濃度大於該第二P型離子植入區的濃度，而該第二P型離子植入區部分延伸至該P通道場效電晶體開極的正下方，故該第二P型離子植入區延伸至該P通道場效電晶體開極正下方之部分仍然存在；該第二P型離子植入區之深度較該第一N型離子植入區為淺，故在第二P型離子植入區下方部分第一N型離子植入區仍然存在。

- 2.如申請專利範圍第1項所述之製造方法，其中該第一N型離子植入之植入角度與垂直該矽基板方向相距較佳約30度至45度。
- 3.如申請專利範圍第1項所述之製造方法，其中該第一N型離子植入之植入物種為磷，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ 間，植入能量約20KeV和60KeV間。
- 4.如申請專利範圍第1項所述之製造方法，其中該第二N型離子植入之植入角度與垂直該矽基板方向相距約0度至7度。
- 5.如申請專利範圍第1項所述之製造方法，其中該第二N型離子植入之植入物種為磷，植入濃度約 $3 \times 10^{15} \text{ cm}^{-2}$ 至 $5 \times 10^{15} \text{ cm}^{-2}$ 間，植入能量約20KeV和60KeV間。
- 6.如申請專利範圍第1項所述之製造方法，其中該第一P型離子植入之植入角度與垂直該矽基板方向相距約0度至7度。
- 7.如申請專利範圍第1項所述之製造方法，其中該第一P型離子植入之植入物種為硼，植入濃度約 $3 \times 10^{15} \text{ cm}^{-2}$ 至 $5 \times 10^{15} \text{ cm}^{-2}$ ，植入能量約為20KeV至60KeV。
- 8.如申請專利範圍第1項所述之製造方法，其中該第二P型離子植入之植入角度與垂直該矽基板方向相距較佳約40度至70度。
- 9.如申請專利範圍第1項所述之製造方法，其中該第二正型離子植入之植入物種為硼，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ ，植入能量約為20KeV至60KeV。
- 10.如申請專利範圍第1項所述之製造方法，其中步驟(a)更包括進行埋藏通道離子植入，該離子植入之植入物種為硼，植入濃度約為 $5 \times 10^{12} \text{ cm}^{-2}$ ，植入能量為50keV。
- 11.如申請專利範圍第1項所述之製造方法，其中該第一N型離子植入之植入物種為磷。
- 12.如申請專利範圍第1項所述之製造方法，其中該第二N型離子植入之植入物種為磷，第1A圖到第1H圖係傳統淺播汲極(LDD)結構互補式金氧半場效體的製程剖面圖；第2A

239229

申請日期	83.8.13
案 號	83107464
類 別	H01L 21/335



(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	減少光罩使用之互補式金氧半場效電晶體製造方法
	英 文	
二、發明 創作 人	姓 名	王志賢
	國 籍	中華民國
	住、居所	新竹市園後街84號
三、申請人	姓 (名稱)	台灣茂矽電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹市科學工業園區研發一路一號
	代表人 姓 名	胡洪九

裝

訂

線

239229

AS
BS

四、中文發明摘要（發明之名稱： 減少光罩使用之互補式金氧半場效電晶體製造方法）

(請先閱讀背面之注意事項再填寫本頁各欄)

一種互補式 (COMPLEMENTARY) 金氧半場效電晶體的製造方法，可減少所使用的光罩，使製程簡化、成本降低，而且所得產品特性穩定、品質良好。本發明包括下列步驟：(a) 提供一矽基板，其上至少已形成P型井區，N型井區、複數個閘極、和閘極氧化層；(b) 以該複數個閘極為光罩，對於該矽基板全面性進行第一N型離子植入，其中該第一N型離子植入之植入角度與垂直該矽基板方向相距不小於20度；(c) 形成側壁；(d) 應用第一光罩，遮住欲形成該P通道場效電晶體之區域，進行第二N型離子植入；(e) 應用第二光罩，遮住欲形成該N通道場效電晶體之部份，進行第一P型離子植入，且進行第二P型離子植入，其中該第二P型離子植入之植入角度與垂直該矽基板方向相距不小於20度。

英文發明摘要（發明之名稱：）

裝

訂

錄

239229

A7

B7

五、發明說明 (一)

(一) 發明的技術領域

本發明是一種有關金氧半場效電晶體 (MOSFET) 的製造方法，尤其是一種互補式 (COMPLEMENTARY) 金氧半場效電晶體的製造方法。

(請先閱讀背面之注意事項再填寫本頁)

(二) 發明背景

在半導體領域中，由於元件結構日趨小型化和精細製程的不斷發展，元件整合的理論和技術自然突飛猛進，日新又新。

當元件尺寸不斷縮小之際，閘極長度隨之縮減，自然通道 (CHANNEL) 長度也不斷縮減。在通道長度在次微米以下時，即產生短通道效應 (SHORT CHANNEL EFFECTS)。種種短通道效應中，最值得注意的是 N 通道 MOS 電晶體中的熱載子效應 (HOT CARRIER EFFECT) 和 P 通道 MOS 電晶體中的穿透效應 (PUNCHTHROUGH EFFECT)。

如果元件尺寸縮減，而電源仍然保持定值，則元件中橫向的電場會大量增加，而且集中汲極附近，於是熱載子效應便隨之產生。上述強大的電場會使 N 通道中的電子獲得大量的動能，因而產生了電子—電洞對，部分的熱載子受垂直電場影響而注入閘極薄氧化層。於是造成元件臨限電壓 V_t (THRESHOLD VOLTAGE) 的改變。

熱載子注入閘極氧化層後，除了元件臨限電壓 V_t 改變之外，MOS 電晶體的其他特性表現也會受到影響，像是：

- 1) 齋合電流 (SATURATION CURRENT) 會減少；

裝

打

線

239229

A7

B7

五、發明說明 (2)

- 2) 轉移電導 (TRANSCONDUCTANCE) 會減少；
- 3) 輽子移動率 (CARRIER MOBILITY) 會因為 INTERFACE STATE 而降低。

以現今的技術而言，淡摻汲極 (LIGHTLY DOPED DRAIN, LDD) 結構最常用來改善 N 通道 MOS 電晶體中的熱載子效應。

就 PMOS 而言，在通道長度小於 $0.6 \mu m$ 時，穿透效應就非常嚴重，此外熱載子效應也會使得 P 通道元件臨限電壓改變 (使得 $|V_t|$ 減少)，而產生漏電流。

為減少穿透效應，傳統製程採用淡摻汲極結構以及有效穿透阻止 (effective punchthrough stopper, EPS) 結構 (或稱 pocket 結構) 以降低 PMOS 元件之源極/汲極接面深度 (JUNCTION DEPTH)。

由於電力消耗、可靠度、線路設計和成本種種的考量，CMOS 技術遂成 VLSI 和 ULSI 技術的主流。故以下對具有 P 通道和 N 通道 LDD MOS 電晶體元件的製程作一詳細的說明：

- (1) 提供一矽基板 42 (見第1A圖)；
- (2) 形成場氧化體 44，P 型井區 46，N 型井區 48，及埋藏通道 45 (見第1A圖)；
- (3) 成長一閘極氧化層 50 (見第1A圖)；
- (4) 沉積閘極多晶層 52 並摻入雜質 (見第1B圖)；
- (5) 光罩 A：界定多晶矽閘極 54，56 (見第1C圖)；
- (6) 光罩 B：應用光罩 55，進行 n^- 離子植入 57，形成 n^- 型 LDD 離子植入區 58 (見第1D圖)；

(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

239229

A7

B7

五、發明說明 (3)

- (7) 光罩 C：應用光罩59進行 p^- 離子植入 61，形成 p^- 型 LDD 離子植入區 62 (見第1E圖)；
- (8) 形成側壁 66 (見第1F圖)；
- (9) 光罩 D：應用光罩68，進行 n^+ 離子植入 67，形成 n^+ 源極/汲極植入區 70 (見第1G圖)；
- (10) 光罩 E：應用光罩72，進行 p^+ 離子植入 74，形成 p^+ 源極/汲極植入區 76 (見第1H圖)；

(請先閱讀背面之注意事項再填寫本頁)

由第 1A 圖到第 1H 圖，我們已完成 P 通道和 N 通道 LDD MOS 電晶體，經由四次光罩 (即 光罩 B, C, D, E) 完成 LDD 結構。如上所述，為了避免熱載子的問題，LDD結構被用來減少通道電場：藉由淡摻 (lightly doped) 的部分源極、汲極的壓降來減低通道電場密度。但由於多了淡摻的部分源極、汲極，比較起傳統無 LDD 結構的 MOS 元件，就多了兩次光罩應用 (即上述光罩 B, 光罩 C)。

光罩應用的增加不但增加製程的複雜性、成本、及時間，更在額外的光罩應用下，引進額外的製程變數，造成產品特性的不穩定。於是發展一種既能減少熱載子效應，又能儘量減少使用光罩次數的製程便是一項非常重要的課題。

(三) 發明的簡要說明

本案之一目的在提供一種互補式金氧半場效電晶體的製造方法，該製造方法減少使用的光罩數目而使製程大為簡化。

裝

打

線

A7
B7

五、發明說明 (4)

本案之另一目的在提供一種互補式金氧半場效電晶體體的製造方法，其特別適用於短通道元件(SHORT CHANNEL DEVICE)，可有效減低熱載子效應和穿透效應。

本製造方法包括下列步驟：(a) 提供一矽基板，其上至少已形成 P 型井區，N 型井區、複數個閘極、和閘極氧化層；(b) 以該複數個閘極為光罩，對於該矽基板全面性進行第一 N 型離子植入，以形成第一 N 型離子植入區；(c) 形成側壁；(d) 應用第一光罩，遮住欲形成該 P 通道場效電晶體之區域，進行第二 N 型離子植入，以形成第二 N 型離子植入區；(e) 應用第二光罩，遮住欲形成該 N 通道場效電晶體之部份，進行第一 P 型離子植入，以形成第一 P 型離子植入區，且進行第二 P 型離子植入，以形成第二 P 型離子植入區。

當然，其中該第一 N 型離子植入及第二 P 型離子植入之植入角度與垂直該矽基板方向相距不小於 20 度，而該第一 N 型離子植入之植入物種為磷，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ 間，其中該第二 N 型離子植入之植入物種為磷，植入濃度約 $3 \times 10^{15} \text{ cm}^{-2}$ 至 $5 \times 10^{15} \text{ cm}^{-2}$ 間，該第一 P 型離子植入之植入物種為硼，植入濃度約 $3 \times 10^{15} \text{ cm}^{-2}$ 至 $5 \times 10^{15} \text{ cm}^{-2}$ ，該第二正型離子植入之植入物種為硼，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ 。

茲舉一最佳實施例配合圖示說明如下，相信本創作的目的、特徵及優點可由之得一具體清析的瞭解。

(四) 圖式之簡要說明

(請先閱讀背面之注意事項再填寫本頁)

裝

計

線

239229

A7

B7

五、發明說明 (5)

第1A圖到第1H圖係傳統淺接極 (LDD) 結構互補式
金氧半場效體的製程剖面圖；
第2A圖到第2G圖係本發明之製程剖面圖。

(五) 較佳實施例的詳細說明

首先請參照第2A圖，如同傳統製程，首先我們提供一
一矽基板 142，應用傳統隔離技術形成場氧化體 144，P
型井區 146，n型井區 148，接著形成埋藏通道區域 145。
在此我們使用能量 50 KeV、濃度 $5 \times 10^{12} \text{ cm}^{-2}$ 的
硼離子植入，然後成長一閘極氧化層 150。

參見第 2B 圖，沉積一層閘極多晶矽層 152，並摻入
 n^+ 雜質 POCl_3 (濃度 $5 \times 10^{20} \text{ cm}^{-2}$)。接著如第 2C 圖
所示，以傳統光罩蝕刻技術界定多晶矽閘極 154、156。

然後對整個基板 142 上 N 通道 MOS 電晶體和 P 通
道 MOS 電晶體進行 n^- 離子植入 158 而形成 n^- 離子植
入區 160、164，而且該 n^- 離子植入區部分延伸至
閘極的正下方。特別注意的是，在此我們使用大角度
(large-tilt-angle) 離子植入。傳統的小角度離子植入，
為了減少通道效應 (CHANNELING EFFECT) 其角度一般設定
於偏離垂直基板方向 7 度左右。然而，若應用大角度離子
植入，其角度可在偏離垂直基板方向 20 度至 60 度之間。
就本實施例而言，此大角度離子植入係以垂直基板方向 20
至 45 度的角度植入，所使用的植入物種為濃度 1×10^{13}
至 $3 \times 10^{13} \text{ cm}^{-2}$ ，能量 30 至 60 KeV 的磷離子。現
今有許多種機臺可執行這種大角度離子植入，在此我們所
使用的機臺是 Nissin 的 NH 20 SR。

(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

239229

A7

B7

五、發明說明 (6)

在完成 n^- 離子植入後，以傳統方式形成一層 CVD-SiO₂ 層，然後運用非等向性蝕刻 (anisotropic etching) 技術蝕刻 CVD-SiO₂ 層而形成側壁 166 (如第 2E 圖所示)。

接著參見第 2F 圖，應用光罩 194 遮住基板 142 上欲形成 P 通道 MOS 電晶體的部分，進行 n^+ 型離子植入 168，以形成 n^+ 離子植入區 170，在此我們使用的物種為磷 (phosphorus)，劑量大約為 3×10^{15} 至 5×10^{15} cm⁻²，能量為 20 至 60 KeV，而植入離子方式採用傳統小角度離子植入 (植入角度為偏離垂直基板方向 7 度左右)。

此外，我們要特別注意的是： n^+ 離子植入區 170 之濃度大於 n^- 型離子植入區 160 之濃度，而且 n^- 離子植入區 160 延伸至 N 通道場效電晶體閘極 154 正下方的部分仍然存在。至此，我們已形成互補式金氧半場效電晶體中 n 通道 MOS 電晶體的 LDD 結構。

如第 2G 圖所示，在形成 N 通道 MOS 電晶體 LDD 結構後，應用光罩 172，遮住基板 142 上已完成 N 通道 MOS 電晶體的部分，來進行離子植入。 p^+ 離子植入 174 首先進行，在此我們應用傳統的小角度離子植入，(植入角度為偏離垂直基板方向 7 度左右)，而植入物種為硼，濃度可為 3×10^{15} cm⁻² 到 5×10^{15} cm⁻²，能量為 20 至 60 KeV。接著進行 p^- 離子植入 176，此時則應用大角度離子植入，植入角度可在偏離垂直基板方向 20 度到 60 度之間，就本實施例而言，此大角度離子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

239229

A7
B7

五、發明說明 (7)

植入 176 係以垂直基板方向 40至 70 度的角度植入為較佳，所應用的植入物種為硼，其濃度可為 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ 之間，而能量則為 20 至 60 KeV。由這二次的離子植入，我們形成了 p^- 級子植入區 182，和 p^+ 級子植入區 180。先前如第 3D 圖所示之 n^- 級子植入 158 也形成 n^- 級子植入區 164。前後三次的離子植入，我們完成具有 LDD 結構的 P 通道 MOS 電晶體，更重要的是完成了有效穿透阻止 (EFFECTIVE PUNCHTHROUGH STOPPER) 結構 (或稱 pocket 結構)。

換言之，由於 p^- 級子植入區 182 部分延伸至該 P 通道場效電晶體閘極 156 的正下方，故 p^- 級子植入區 182 延伸至 P 通道場效電晶體閘極 156 正下方之部分仍然存在；而 p^- 級子植入區 182 之深度較 n^- 級子植入區 164 為淺，故在 p^- 級子植入區 182 下方部分 n^- 級子植入區 164 仍然存在。

其中， p^- 級子植入 和 p^+ 級子植入的順序可以對調，故我們先進行 p^- 級子植入，再進行 p^+ 級子植入，其結果並不受影響。

仔細審視第2G圖，傳統的 LDD 結構 P通道 MOS 電晶體，其電流路徑 (CURRENT PATH) 依序為左邊的 p^+ 級子植入區 180，左邊的離子植入區 182，埋藏通道區 145，左邊的離子植入區 182，左邊的離子植入區 180。當元件尺寸縮小時，短通道效應隨之浮現，穿透現象容易產生而導致漏電情形。但在本發明中，引入了大角度 n^- 級子植入區 164 結構 (即 pocket 結構)，則可大幅減低穿透效應。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

239229

A7

B7

五、發明說明 (8)

回到第 2D 和 2F 圖，應用大角度離子植入 158 所形成的 n- 級子植入區，其植入深度較傳統小角度離子植入為深，而且位於多晶矽閘極 154 正下方的區域 160A，其電阻較小，故由源極流過來的電子流，大部分會流經區域 160A。如前面所述，在短通道元件中，強大電場大部分集中在汲極附近，經由本發明所得之 n 通道 MOS 電晶體，電子流大部分流過區域 160A，而避開了電場強度最強的部分，故熱載子效應就可以大幅減低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

為了更清楚地了解本發明的要義，我們依序列出本發明所需步驟流程：

- (1) 提供一矽基板 142 (見第2A圖)；
- (2) 形成場氧化體 144，P 型井區 146，N 型井區 148，及埋藏通道 145 (見第2A圖)；
- (3) 成長一閘極氧化層 150 (見第2A圖)；
- (4) 沉積閘極多晶矽層 152 並摻入雜質 (見第 2B 圖)；
- (5) 光罩 A'：界定多晶矽閘極 154，156 (見第 2C 圖)；
- (6) 對矽基板 142 全面性進行 n- 大角度離子植入 158 而形成 n- 型 LDD 級子植入區 160，164。(見第2D圖)；
- (7) 形成側墻 166 (見第2E 圖)；
- (8) 光罩 B'：應用光罩 192 進行小角度 n+ 級子植入 168，形成 n+ 源極/汲極離子植入區 170 (見第2F圖)；
- (9) 光罩 C'：應用光罩 172 進行小角度 p+ 級子植入 174，形成 p+ 源極/汲極離子植入區 176 (見第2G圖)；

A7

B7

五、發明說明 (9)

子植入 174，形成 p^+ 源極/汲極離子植入區 180，接著進行大角度 p^- 離子植入 176，形成 p^- 型 LDD 離子植入區 182 (見第 2G 圖)：

前述傳統製程 (見第 2A 圖-第 2H 圖) 一共用了 4 道光罩來完成 LDD 結構，然而，從第 3A 圖到第 3G 圖觀之，本發明僅用了 2 道光罩 (即光罩 B'，C') 來完成 LDD 結構，比較起傳統 LDD MOS 電晶體的製造方法，本發明節省了兩道光罩的使用，不但簡化了製程，減少額外製程變數的引入，排除部份因額外光罩使用而產生的產品不穩定性，更節省了可觀的成本、時間。

此外，依據本發明除了簡化製程之外，所得之 P 通道和 N 通道 MOS 電晶體，完全能夠克服種種短通道效應，尤其是熱載子效應和穿透效應，得到元件特性表現均非常優良。當然，本發明所提出之實施例，其中各步驟所引用的數據並不能限制其所欲保護的範圍。在元件尺寸不斷縮小之際，此種節省光罩的互補式金氧半場效電晶體的製程仍然非常有效，僅其中離子植入物種、能量、濃度有所不同。熟習於此技藝之人士，於詳細閱完本說明書，當得任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲得保護者。

(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

239229

A8
B8
C8
D8

六、申請專利範圍

1. 一種減少光罩使用的互補式金氧半場效電晶體製造方法，其可在一矽基板上形成 N通道場效電晶體和 P通道場電晶體，包括下列步驟：

- 提供該矽基板，其上至少已形成 P型井區，N型井區、複數個閘極、和閘極氧化層；
- 以該複數個閘極為光罩，對於該矽基板全面性進行第一 N型離子植入，以形成第一 N型離子植入區，其中該第一 N型離子植入之植入角度與垂直該矽基板方向相距不小於 20度，而且該第一 N型離子植入區部分延伸至閘極的正下方；
- 形成側壁；
- 應用第一光罩，遮住欲形成該 P通道場效電晶體之區域，進行第二 N型離子植入，以形成第二 N型離子植入區，其中該第二 N型離子植入區之濃度大於該第一 N型離子植入區之濃度，而且該第一 N型離子植入區延伸至 N通道場效電晶體閘極正下方的部分仍然存在；
- 應用第二光罩，遮住欲形成該 N通道場效電晶體之部份，進行第一 P型離子植入，以形成第一 P型離子植入區，且進行第二 P型離子植入，以形成第二 P型離子植入區；其中該第二 P型離子植入的植入角度與垂直該矽基板方向相距不小於20度；而且該第一 P型離子植入區的濃度大於該第二 P型離子植入區的濃度，而該第二 P型離子植入區部分延伸至該 P通道場效電晶體閘極的正下方，故該第二 P型離子植入區延伸至該 P通道場效電晶體閘極正下方之部分仍然存在；該第二 P型離子植入區之深度較該第一 N型離子植入區為淺，故在第二 P型離子植入區下方部分第一 N型離子植入區仍然存在。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

239229

A8
B8
C8
D8

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

2. 如申請專利範圍第1項所述之製造方法，其中該第一
N型離子植入之植入角度與垂直該矽基板方向相距較佳約
30度至45度。
3. 如申請專利範圍第1項所述之製造方法，其中該第一
N型離子植入之植入物種為磷，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$
至 $3 \times 10^{13} \text{ cm}^{-2}$ 間，植入能量約20 KeV和60 KeV間
4. 如申請專利範圍第1項所述之製造方法，其中該第二
N型離子植入之植入角度與垂直該矽基板方向相距約0度
至7度。
5. 如申請專利範圍第1項所述之製造方法，其中該第二
N型離子植入之植入物種為磷，植入濃度約 $3 \times 10^{15} \text{ cm}^{-2}$
至 $5 \times 10^{15} \text{ cm}^{-2}$ 間，植入能量約20 KeV至60 KeV
間。
6. 如申請專利範圍第1項所述之製造方法，其中該第一
P型離子植入之植入角度與垂直該矽基板方向相距約0度
至7度。
7. 如申請專利範圍第1項所述之製造方法，其中該第一
P型離子植入之植入物種為硼，植入濃度約為 $3 \times 10^{15} \text{ cm}^{-2}$
至 $5 \times 10^{15} \text{ cm}^{-2}$ ，植入能量約為20 KeV至60
KeV。
8. 如申請專利範圍第1項所述之製造方法，其中該第二

239229

A8
B8
C8
D8

六、申請專利範圍

P型離子植入之植入角度與垂直該矽基板方向相距較佳約40度至70度。

9. 如申請專利範圍第1項所述之製造方法，其中該第二正型離子植入之植入物種為硼，植入濃度約 $1 \times 10^{13} \text{ cm}^{-2}$ 至 $3 \times 10^{13} \text{ cm}^{-2}$ ，植入能量約為20 KeV至60KeV。

10. 如申請專利範圍第1項所述之製造方法，其中步驟(a)更包括進行埋藏通道離子植入，該離子植入之植入物種為硼，植入濃度約為 $5 \times 10^{12} \text{ cm}^{-2}$ ，植入能量為50 KeV。

11. 如申請專利範圍第1項所述之製造方法，其中該第一N型離子植入之植入物種為砷。

12. 如申請專利範圍第1項所述之製造方法，其中該第二N型離子植入之植入物種為砷。

(請先閱讀背面之注意事項再填寫本頁)

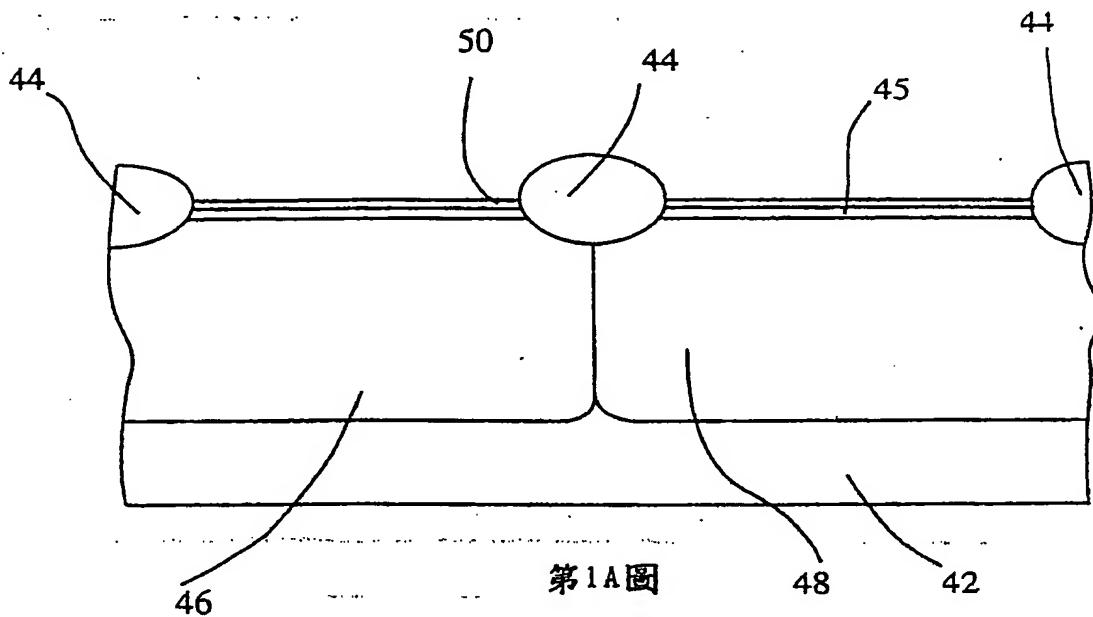
裝

訂

線

A9
B9
C9
D9

圖式

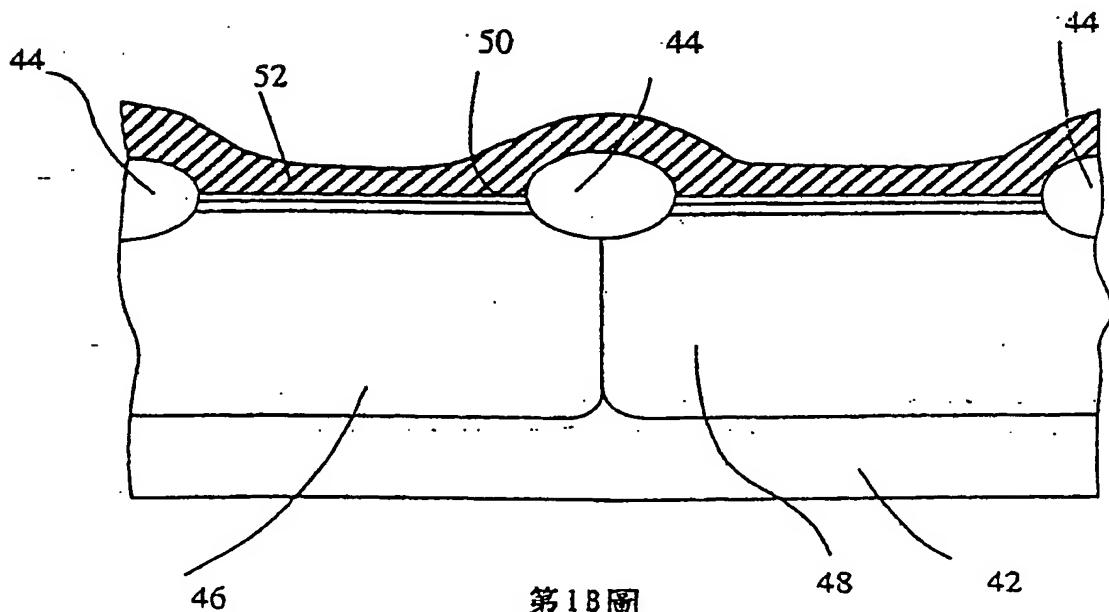


第1A圖

(請先閱讀背面之注意事項再行繪製)

裝
訂
打

線

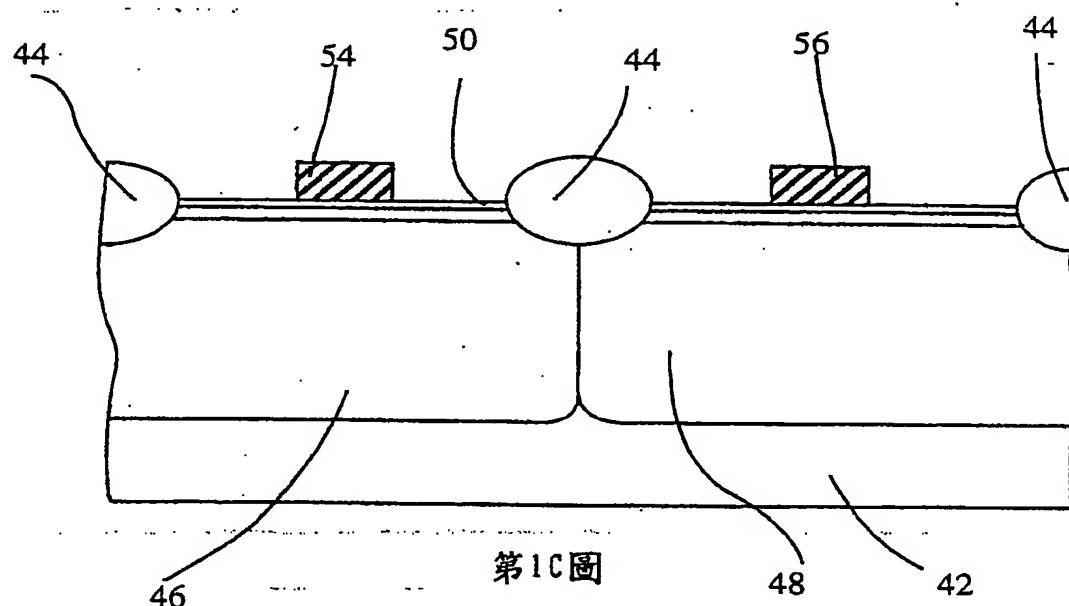


第1B圖

239229

A9
B9
C9
D9

圖式



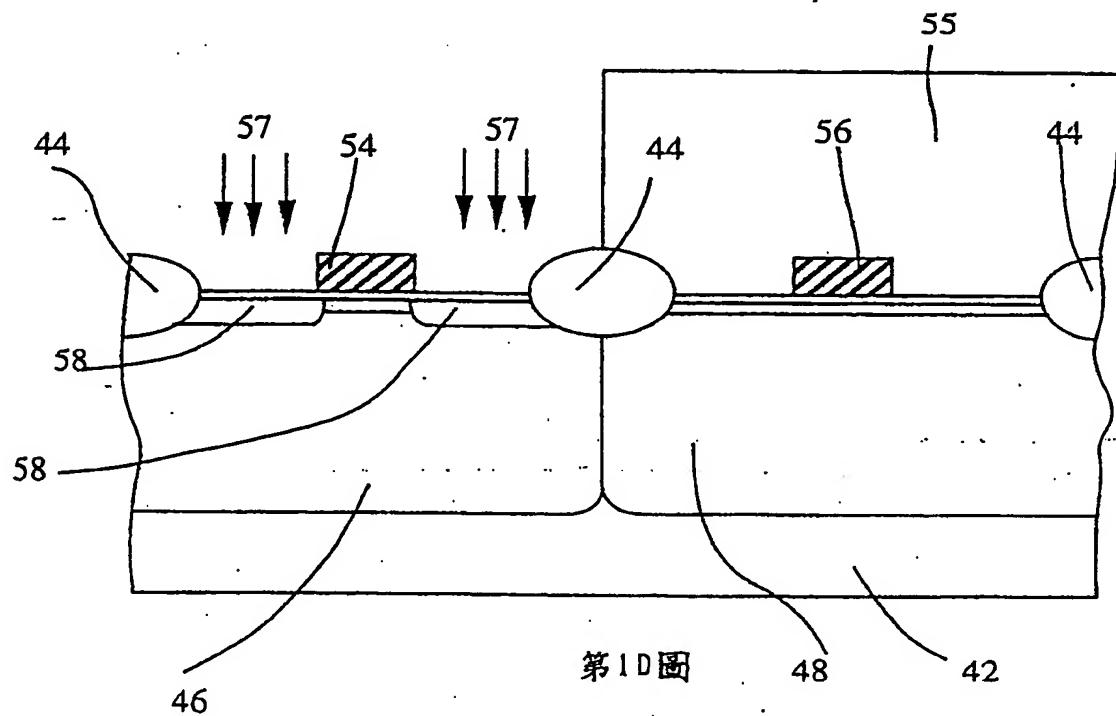
第1C圖

(請先閱讀背面之注意事項再行繪製)

裝

訂

線



第1D圖

239229

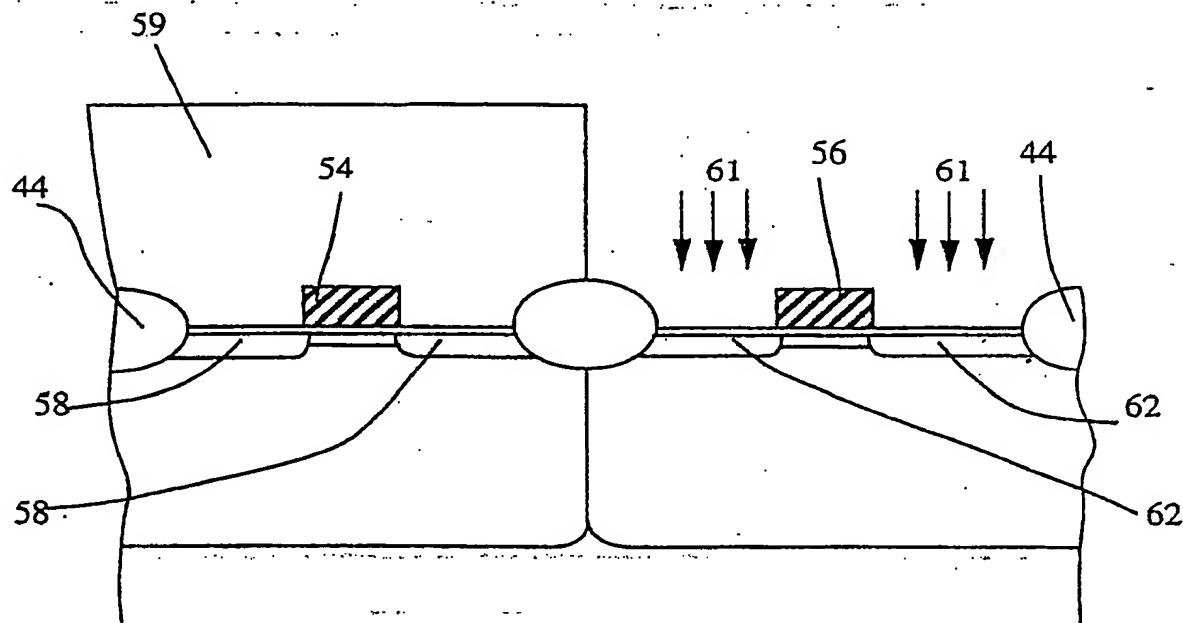
A9
B9
C9
D9

圖式

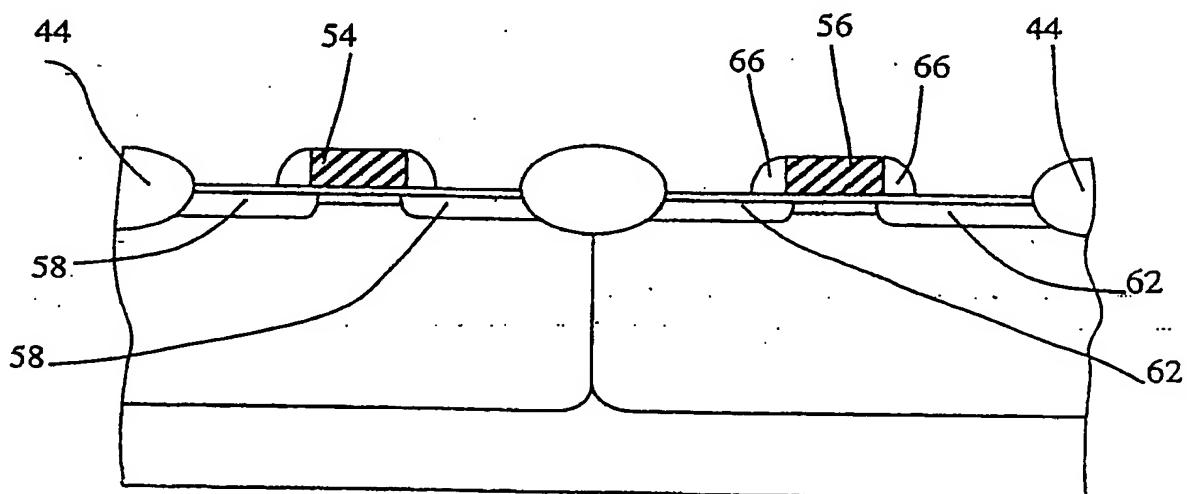
(請先閱讀背面之注意事項再行繪製)

裝訂

線



第1E圖

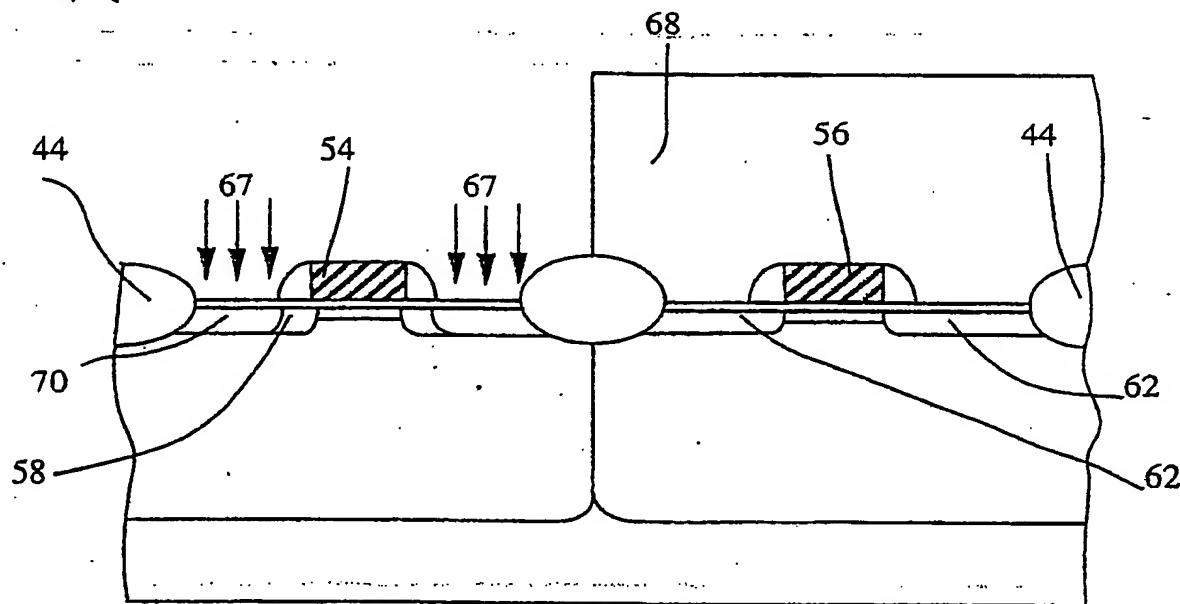


第1F圖

239229

A9
B9
C9
D9

圖式



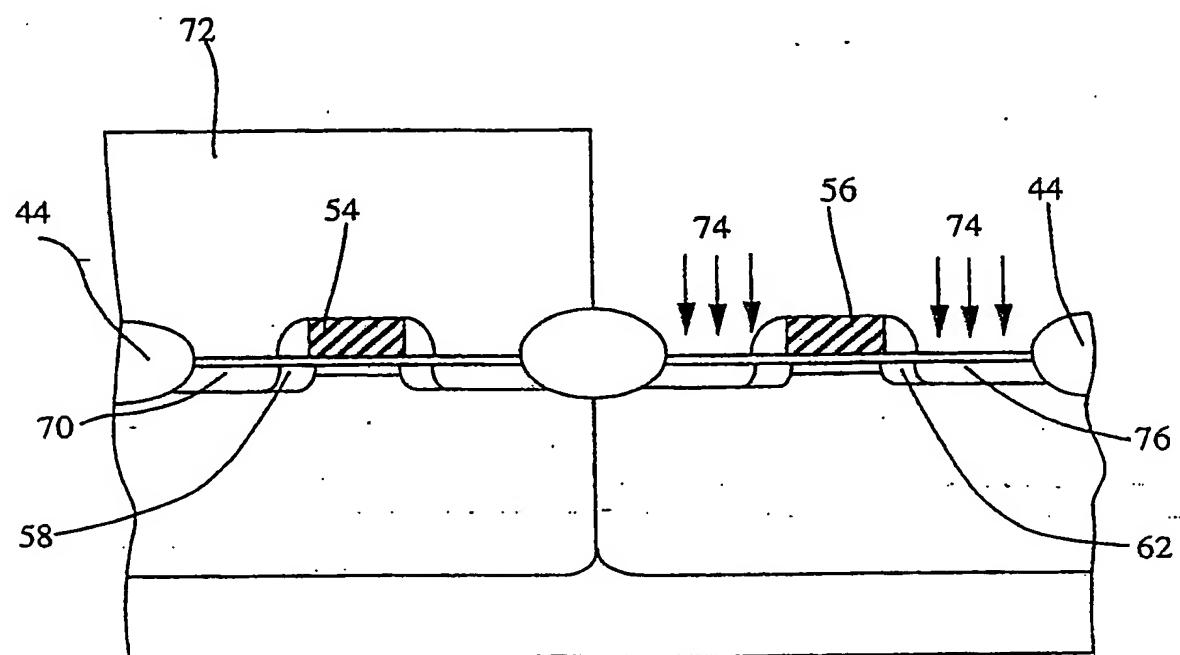
(請先閱讀背面之注意事項再行繪製)

裝

計

線

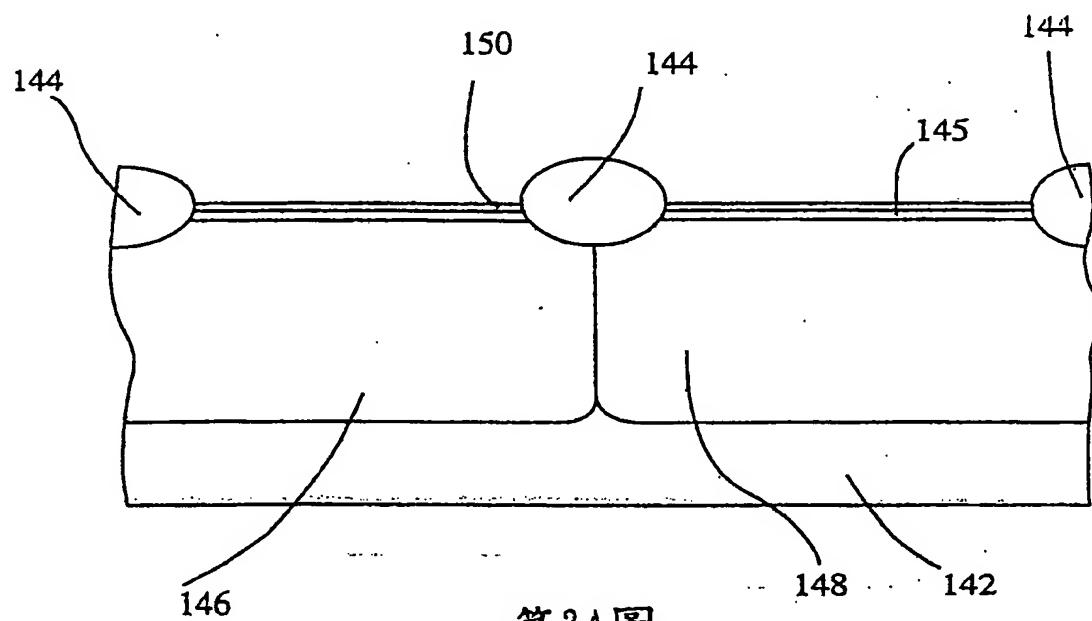
第1G圖



第1H圖

A9
B9
C9
D9

圖式

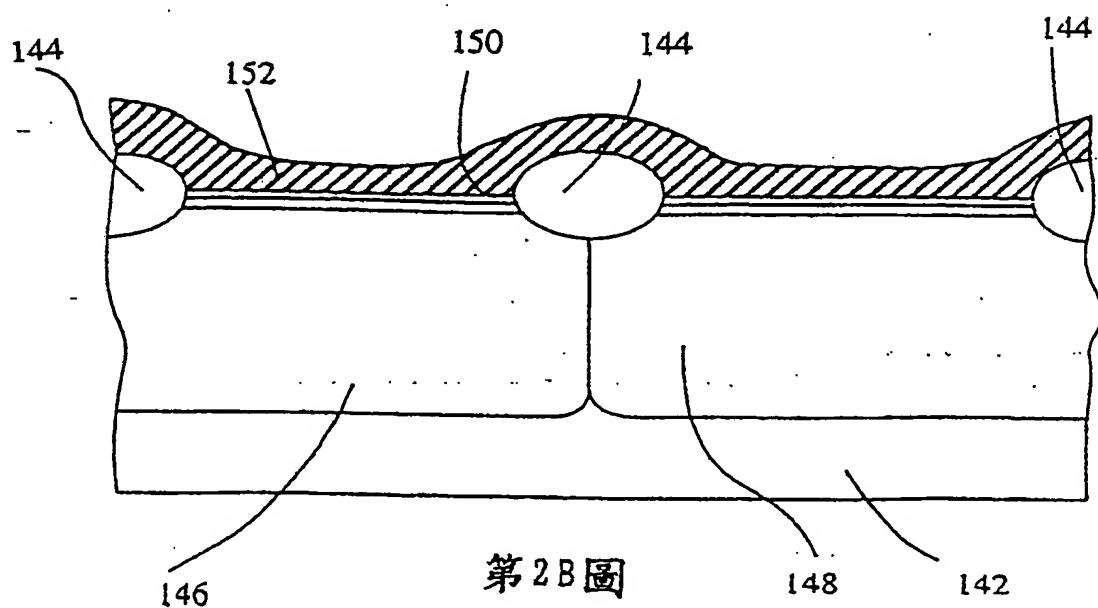


(請先閱讀背面之注意事項再行繪製)

裝

訂

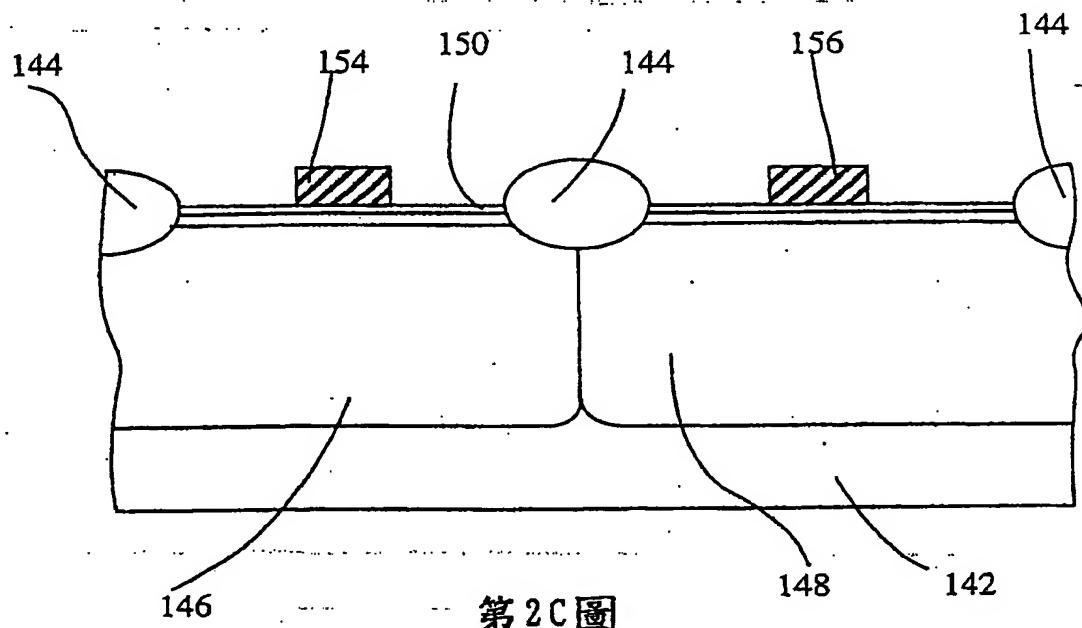
線



239229

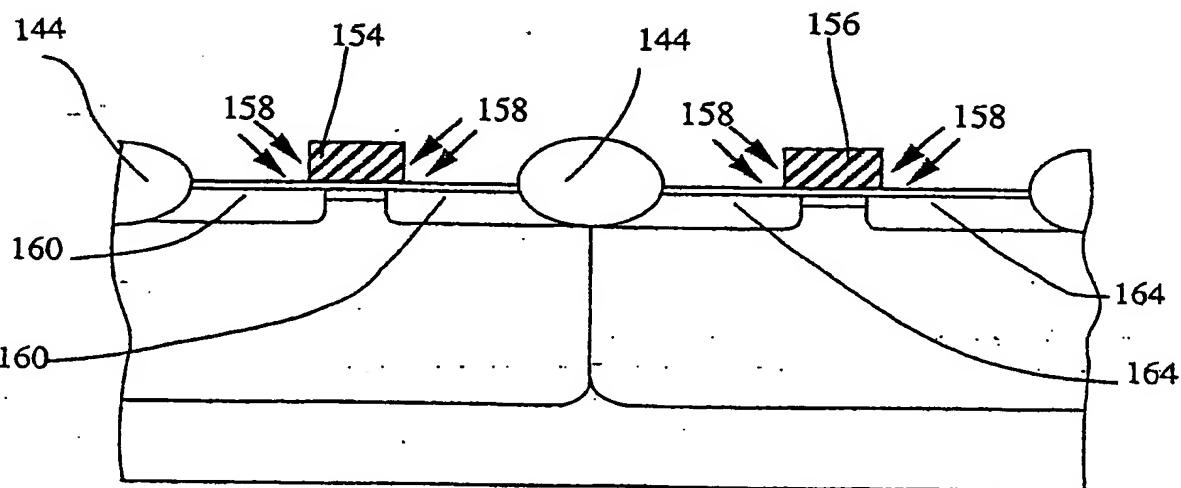
A9
B9
C9
D9

圖式



第2C圖

(請先閱讀背面之注意事項再行繪製)

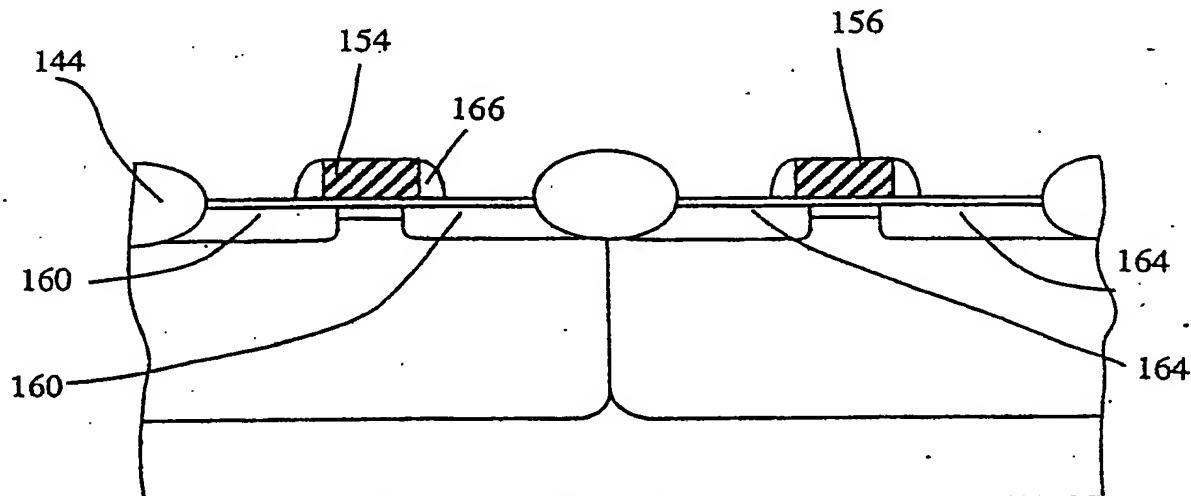


第2D圖

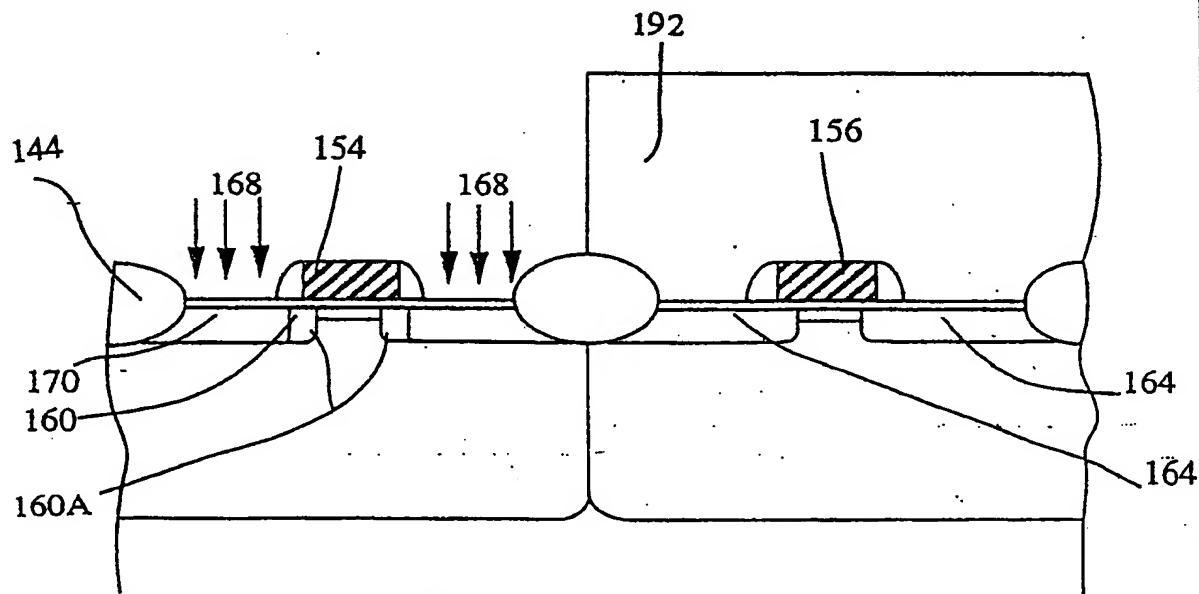
239229

A9
B9
C9
D9

圖式



第2E圖



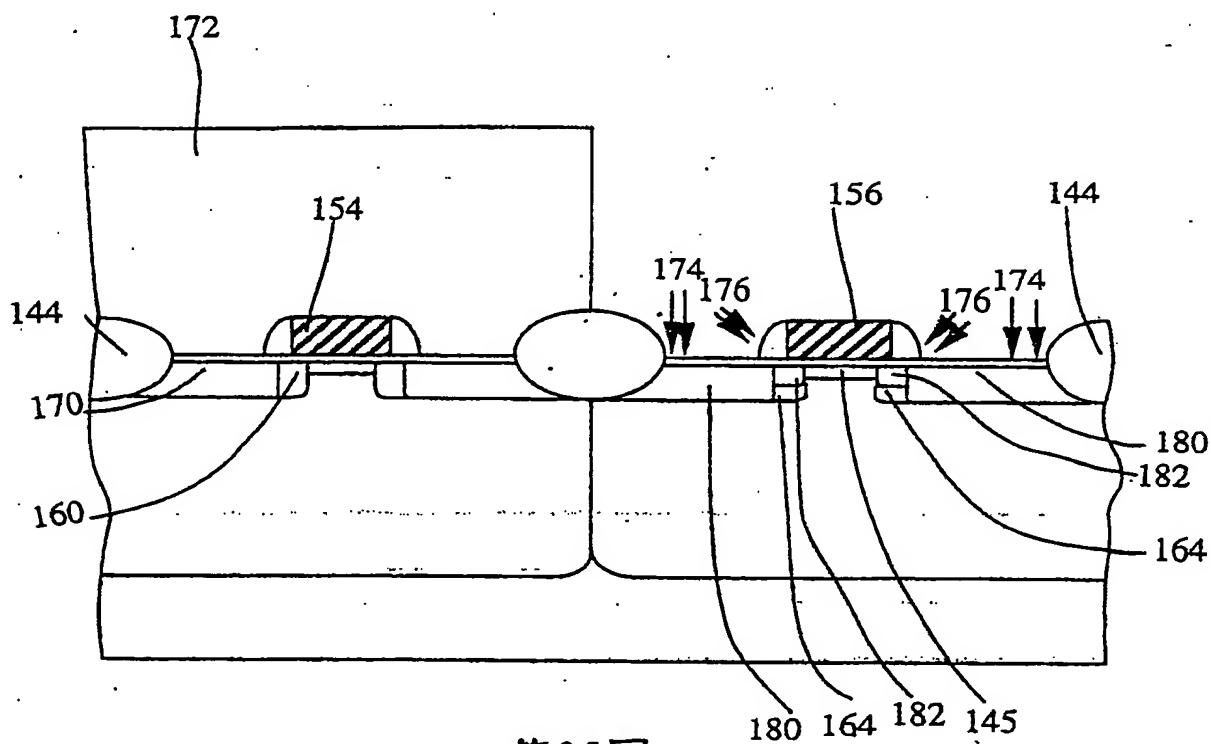
第2F圖

239229

A9
B9
C9
D9

圖式

(請先閱讀背面之注意事項再行繪製)

裝
訂
線

第2G圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.